

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 1 月 20 日 (20.01.2005)

PCT

(10) 国際公開番号
WO 2005/006003 A1

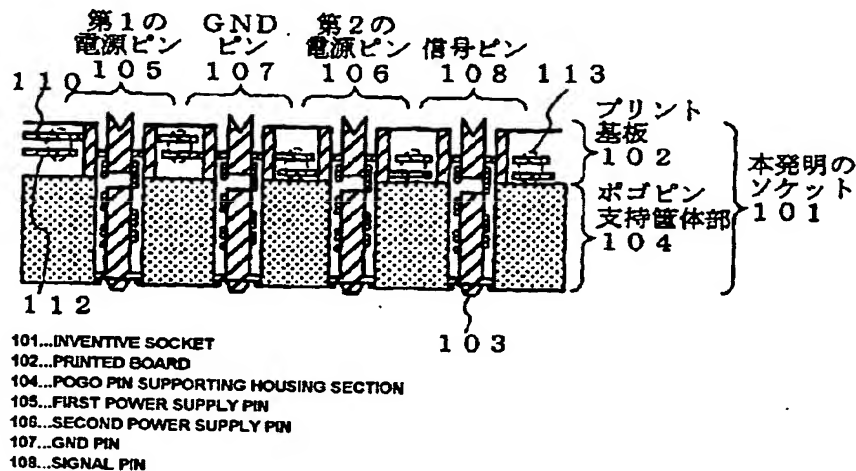
BEST AVAILABLE COPY

- (51) 国際特許分類⁷: G01R 31/26 (74) 代理人: 浜田 治雄 (HAMADA, Haruo); 〒1070062 東京都港区南青山 3 丁目 4 番 1 2 号 知恵の館 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/009832
- (22) 国際出願日: 2004 年 7 月 9 日 (09.07.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-272901 2003 年 7 月 10 日 (10.07.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 木下 靖 (KI-NOSHITA, Yasushi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: LSI TEST SOCKET FOR BGA

(54) 発明の名称: BGA用LSIテストソケット



(57) Abstract: An LSI test socket incorporating a POGO pin type decoupling capacitor for relaxing variation in the power supply and the GND potential when an LSI in a BGA package is tested. The LSI test socket comprises a printed board (102) incorporating a decoupling capacitor (113) corresponding to one or more power supply voltages, a POGO pin supporting housing section (104) being integrated with the overlying printed board (102), and a POGO pin (103) being inserted into a through hole formed by aligning a through hole (109) made through the printed board (102) and a hole (114) made through the POGO pin supporting housing section (104). When the LSI in the BGA package is tested, the printed board (102) is arranged on the upper surface side of the POGO pin supporting housing section (104) facing the BGA package or on the lower surface side of the POGO pin supporting housing section (104) facing a test board.

[続葉有]